

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-052910

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

G09G 3/28

(21)Application number : 09-207468

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 01.08.1997

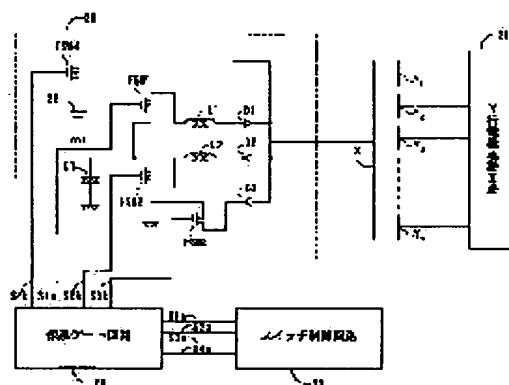
(72)Inventor : HOSOI KENICHIRO
KITAGAWA MITSUSHI
KIKUCHI NOZOMI

(54) DRIVING DEVICE FOR PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent short circuit of an electric charge with drawing type keeping circuit with undesirable timing by providing a protection gate circuit between an electric charges withdrawing type keeping pulse generating circuit and a switch control circuit, and prohibiting input of an erroneous switch control signal to a switching element.

SOLUTION: An electric charge withdrawing type keeping pulse generating circuit 20 is provided with SW1-SW4 corresponding to FET switching elements FSW1-FSW4. Switch control lines S1a-S4a from a switch control circuit 23 are connected to a protection gate circuit 24, switch control signal lines S1b-S4b are connected to gate terminals of each FET switching element FSW1-FSW4. When a normal switch control signal is received by the protection gate circuit 24, the same signal as a signal from the switch control circuit is supplied to the FET switching elements, when an abnormal signal is received, all switch control signals are turned off, it is evaded that plural switched being not assumed are simultaneously tuned on.



LEGAL STATUS

[Date of request for examination] 01.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3315897

[Date of registration] 07.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the driving gear of a plasma display panel.

[0002]

[Description of the Prior Art] As a display panel with comparatively easy thin-shape-izing and big-screen-izing, the plasma display panel (PDP is called hereafter) is known, and the cutback of a manufacturing cost and power consumption is demanded. Drawing 1 is the outline block diagram of the alternating current discharge mold PDP. PDP10 line electrodes X1, X2, X3, ..., Xn from — with the Y line electrode group which consists of line electrodes Y1, Y2, Y3, ..., Yn which make X line electrode group and it becoming, and a pair train electrodes D1, D2, D3, ..., Dm which intersect perpendicularly with these X line electrode group and a Y line electrode group from — it consists of becoming train electrode groups. Moreover, the discharge cel 9 with which discharge gas was filled up on the intersection of each electrode is formed, and desired display luminescence is performed by the pulse impressed to the above-mentioned electrode.

[0003] In order to drive such PDP10, a scan pulse is first impressed to X line electrode, and a data pulse is made to discharge by impressed and writing in to the same timing as a train electrode. Thereby, by the maintenance pulse impressed by turns between X-Y line electrode pairs, maintenance discharge is attained and luminescence is maintained. Maintenance discharge is performed by carrying out the charge and discharge of the panel inter-electrode electrostatic-capacity section, and the great portion of luminescence of a discharge cel is performed by this maintenance discharge. So, it depends for the power consumption of the whole PDP on the power spent at a maintenance conducting period greatly. Especially in actuation of a large-sized panel, since panel inter-electrode electrostatic capacity increases and an actuation power supply also becomes large, the power consumption of the whole PDP equipment will increase.

[0004] Then, the reactive power lost by discharge during a maintenance conducting period is collected, and the charge recovery mold actuation circuit which reduces the power spent on maintenance discharge by reusing in the case of charge is proposed. In drawing 2, X line electrode (both X1 and Xn are connected, and it is considering as the common electrode) is connected to the charge recovery mold maintenance pulse generating circuit 20. The Y line electrode actuation circuit 21 includes the charge recovery mold maintenance pulse generating circuit 20, and the scan pulse and blanking pulse reset pulse generating circuit which are not illustrated as a driving pulse generating circuit.

[0005] Drawing 3 is the timing chart of the maintenance pulse generated by the charge recovery mold maintenance pulse generating circuit 20, and explains the generation process of the maintenance pulse in a maintenance conducting period with reference to drawing 2 and drawing 3 below. First, in a period t1, SW1, SW2, and SW4 become [both] OFF, SW3 becomes ON, and the line electrode X is clamped by GND level.

[0006] Next, if SW3 is set to OFF and SW1 is set to ON, the charging current of the charge recovery capacitor C1 will be supplied to the discharge cel of PDP through a coil L1 and diode D1 (t2), and continuously, if SW1 is set to OFF and SW4 is set to ON, each line electrode X will be clamped by the maintenance pulse voltage 22 (VD) (t3). Next, if the discharge current from the discharge cel of PDP will be charged by the capacitor C1 through a coil L2 and diode D2 if SW4 is set to OFF and SW2 is set to ON (t4), SW2 is set to OFF and SW3 is continuously set to ON, the line electrode X will be clamped by GND level (t5).

[0007] By repeating the above actuation, the maintenance pulse which followed each line electrode can be supplied. Although a maintenance pulse is generated by the same actuation also in a Y line electrode, generation timing is shifted the X line electrode and semicircle term, and, thereby, is enabling field discharge between X-Y line electrode pairs.

[0008]

[Problem(s) to be Solved by the Invention] malfunction, the noise from the outside, etc. arose in the period (t3) when the line electrode be clamp by the maint nance puls voltage VD, and th switch control circuit which control a switch, and when the switch control signal which turn ON the switch (SW3) which make GND level clamp a line electrode occurred, in the abov -mentioned conventional charge recovery mold maintenance pulse generating circuit, the defect that a charge recovery mold maintenance pulse generating circuit be in a short circuit condition be.

[0009]

[Means for Solving the Problem] According to this invention, it is characterized by having prepared a protection gate

circuit controlled uniquely to become only the switch signal of a request of various switch control signals from a switch control circuit between switch control circuits and charge recovery mold maintenance pulse generating circuits which control each switch in a charge recovery mold maintenance pulse generating circuit.

[0010]

[Embodiment of the Invention] Hereafter, with reference to a drawing, this invention is explained in details based on the suitable example of this invention. In drawing 4, although the charge recovery mold maintenance pulse generating circuit 20 has the same circuitry substantially with the circuit of drawing 2, by drawing 4, SW1-SW4 which form the switch section are prepared corresponding to the FET switching elements FSW1-FSW4. Each switch control signal line (S1a-S4a) from the switch control circuit 23 is connected to the protection gate circuit 24, and the switch control signal line (S1b-S4b) from the protection gate circuit 24 is connected to the gate terminal of each FET switching element (FSW1-FSW4). Here, S1a-S4a, S1b-S4b, and FSW1-FSW4 correspond mutually [several] each, for example, the signal from the switch control circuit 23 to the FET switching element FSW1 is supplied through signal-line S1a and S1b.

[0011] Drawing 5 is the logic block diagram showing the 1st example of a protection gate circuit, and explains actuation of this circuit below with reference to the timing chart of drawing 3. First, the case where a normal switch control signal without malfunction and the noise from the outside is received in the protection gate circuit 24 is considered. Here, SW1-SW4 of drawing 3 shall be read as FSW1-FSW4. As opposed to a switch control signal with which FSW1, FSW2, and FSW4 become [both] OFF, and FSW3 becomes ON in the period t1 of drawing 3 The signal level on the signal input line (S1a-S4a) to a protection gate circuit is set to "L", "L", "H", and "L", respectively. The input of the AND gate 30 becomes a signal "L" from S1a, and signal "H" from S2a-S4a through inverters 34-36, "L" and "H", the output of the AND gate 30 is set to "L", and an off signal is inputted into the gate of the FET switching element FSW1. The input of the AND gate 31 serves as a signal "L" from S2a, and signal "H" from S1a, S3a, and S4a through inverters 37-39, "L" and "H", the output of the AND gate 31 is set to "L", and an off signal is inputted into the gate of the FET switching element FSW2. In the AND gate 32, both the signals through the signal and inverters 40-42 from S3a from S1a, S2a, and S4a serve as "H", the output of the AND gate 32 serves as "H", and an ON signal is inputted into the gate of the FET switching element FSW3. The signal from S1a-S3a with which the input of the AND gate 33 minded the signal "L" and inverters 43-45 from S4a is set to "H", "H", and "L", the output of the AND gate 33 is set to "L", and an off signal is inputted into the gate of the FET switching element FSW4. As mentioned above, output S1b-S4b of the protection gate circuit 24 in a period t1 is set to "L", "L", "H", and "L", respectively, and is the same as "L" of switch control signal S1a-S4a from the switch control circuit 23, "L", "H", and "L". Also about the other periods t2-t5, when a normal switch control signal is received, the same signal as the signal from a switch control circuit is supplied to each FET switching element by the same actuation as the above.

[0012] Next, the case where an unusual switch control signal is received by malfunction or a noise from the outside of a switch control circuit etc. in the protection gate circuit 24 is considered. For example, when the switch control signal "L" of S1a-S4a in the period t3 of drawing 3, "L", "L", and "H" turn into "L", "L", "H", and "H" that is, it sets at this period. When the signal of S3a which must originally be "L" level is set to "H" level and inputted into the protection gate circuit 24, the input of the AND gate 30 is set to signal "H" from S2a-S4a through the signal "L" and inverters 34-36 from S1a, "L", and "L", the output of the AND gate 30 is set to "L", and an off signal is inputted into the gate of the FET switching element FSW1. The input of the AND gate 31 is set to signal "H" from S1a, S3a, and S4a through the signal "L" and inverters 37-39 from S2a, "L", and "L", the output of the AND gate 31 is set to "L", and an off signal is inputted into the gate of the FET switching element FSW2. The input of the AND gate 32 is set to signal "H" from S3a, signal "H" from S1a, S2a, and S4a through inverters 40-42 and "H", and "L", the output of the AND gate 32 is set to "L", and an off signal is inputted into the gate of the FET switching element FSW3. The input of the AND gate 33 is set to signal "H" from S4a, signal "H" from S1a-S3a through inverters 43-45 and "H", and "L", the output of the AND gate 33 is set to "L", and an off signal is inputted into the gate of the FET switching element FSW4. As mentioned above, both output S1b-S4b of the protection gate circuit 24 in a period t3 is set to "L", and both switch control signal "H" of S3a from the switch control circuit 23 and S4a is set to "L", and it is inputted into the gate of the FET switching elements FSW3 and FSW4. That is, the logical circuit of drawing 5 is making the switch control signal to all switches turn off compulsorily, when an ON control signal is transmitted to switches other than the switch it should switch on from a switch control circuit. The condition that this calls it simultaneous ON of two or more switches which are not assumed in the timing chart of drawing 3 is avoidable by turning OFF all switches.

[0013] Next, the logical circuit shown in drawing 6 as the 2nd example of a protection gate circuit is similarly explained to be the 1st example. First, the case where a normal switch control signal without malfunction and the noise from the outside is received in the protection gate circuit 24 is considered. In the period t1 of drawing 3, the signal level on the signal input line (S1a-S4a) to a protection gate circuit is set to "L", "L", "H", and "L" to a switch control signal with which FSW1, FSW2, and FSW4 become [both] OFF, and FSW3 becomes ON, respectively. Both S1a, S2a, and S4a are connected to S1b, S2b, and S4b, and the switch control signal from a switch control circuit is directly inputted into each gate of the FET switching elements FSW1, FSW2, and FSW4. The input to the FET switching element FSW3 is supplied from the output of the AND gate 50. In the AND gate 50, both the signals through signal "H" from S3a and inverters 51-53 from S1a, S2a, and S4a serve as an input of "H", an output serves as "H", and an ON signal is inputted into the gate of the FET switching element FSW3. Therefore, output S1b-S4b of the protection gate circuit 24 in a period t1 is set to "L", "L", "H", and "L", respectively, and is the same as "L"

of switch control signal S1a – S4a from the switch control circuit 23, “L”, “H”, and “L”. Also about the other periods t2–t5, when a normal switch control signal is received, the same signal as the signal from a switch control circuit is supplied to each FET switching element by the same actuation as the above.

[0014] Next, in the object which prevents especially the short circuit of a circuit, the case where an unusual switch control signal which makes the period when FSW3 should be turned on, and which does not come out turn on FSW3 by malfunction or a noise from the outside of a switch control circuit etc. is received in the protection gate circuit 24 is considered. The switch control signal of S1a – S4a [in / like the 1st example / the period t3 of drawing 3] “L”. When “L”, “L”, and “H” turn into “L”, “L”, “H”, and “H”, the input of the AND gate 50. The output of the AND gate 50 is set to “L”, and an off signal is inputted into the gate of the FET switching element FSW3 by signal “H” from S3a, signal “H” from S1a, S2a, and S4a through inverters 51–53 and “H”, and “L”. Therefore, output S1b – S4b of the protection gate circuit 24 in a period t3 becomes “L”, “L”, “L”, and “H”, respectively, and malfunction switch control signal “H” of S3a from the switch control circuit 23 is set to “L”, and it is inputted into the gate of the FET switching element FSW3. That is, the logical circuit of drawing 6 has forbidden the ON signal to the gate of FSW3 in periods other than the period when FSW3 should be turned on for a maintenance pulse generating circuit only paying attention to the FET switching element FSW3 which may give fatal actuation. the short circuit condition that this does not assume a maintenance pulse generating circuit — avoidable — in addition — and a normal switch control signal can be supplied to a maintenance pulse generating circuit.

[0015] The equal circuit which used the OR gate may be used for the logical circuit shown in the above examples [1st and 2nd]. Moreover, it may replace with a logical circuit, the control signal from a switch control circuit may be supervised by the program of a microcomputer etc., and a normal switch signal may be supplied to an FET switching element.

[0016]

[Effect of the Invention] As explained above, by preparing a protection gate circuit between a charge recovery mold maintenance pulse generating circuit and the switch control circuit which gives a switch control signal to the switching element in this circuit, the input to the switching element of a switch control signal [made / in according to malfunction of a switch control circuit / the mistake] is forbidden, and the short circuit in the timing which a charge recovery mold maintenance pulse generating circuit does not desire especially can be prevented.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A driving gear of a plasma display panel characterized by providing the following An actuation switching means which consisted of switches connected between between a terminal of a line electrode of a plasma display panel, and a terminal with which predetermined potential is impressed and this line electrode terminal, and a terminal with which a reference potential is impressed It has a switch control means which generates a switch-on control pulse for setting said switch to ON to predetermined timing alternatively. It is the driving gear of a plasma display panel which supplied a predetermined driving pulse by actuation switching means to said line electrode. a switch of 1 of said switch control means to said actuation switching means — receiving — this, when a switch-on control signal which makes a period when a switch-on control signal which makes a switch of 1 turn on has occurred turn on other switches occurs A safeguard which prevents all supplies on a switch of a switch-on control signal

[Claim 2] said safeguard — a switch of 1 of said switch control means to said actuation switching means — receiving — this — the time of a switch-on control signal which makes a period when a switch-on control signal which makes a switch of 1 turn on has occurred turn on other switches occurring — said — others — the switch-on control signal which makes it switch on — said — others — the driving gear of the plasma display panel characterized by to be a means prevent supply on a switch.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the electrode configuration of a plasma display panel.

[Drawing 2] It is drawing showing the conventional charge recovery mold maintenance pulse generating circuit.

[Drawing 3] It is drawing showing the timing chart of the maintenance pulse generation in a charge recovery mold maintenance pulse generator.

[Drawing 4] It is drawing showing the whole this invention block diagram.

[Drawing 5] It is the logic block diagram showing the 1st example of the protection gate circuit in this invention.

[Drawing 6] It is the logic block diagram showing the 2nd example of the protection gate circuit in this invention.

[Description of Notations]

9 Discharge Cell

10 Plasma Display Panel

20 Charge Recovery Mold Maintenance Pulse Generating Circuit

21 Y Line Electrode Actuation Circuit

22 Maintenance Pulse Voltage

23 Switch Control Circuit

24 Protection Gate Circuit

30- 33 and 50 The AND gate

34-45, 51-53 Inverter

SW1-SW4 Switch

FSW1-FSW4 FET switching element

L1, L2 Coil

D1, D2 Diode

C1 Charge recovery capacitor

S1a-S4a, S1b-S4b Switch control signal line

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-52910

(43) 公開日 平成11年(1999) 2月26日

(51) IntCl.⁶

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

J

E

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平9-207468

(22) 出願日 平成9年(1997) 8月1日

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 細井 研一郎

静岡県袋井市鷺巣字西ノ谷15番地1 バイオ
ニア株式会社静岡工場内

(72) 発明者 北川 満志

静岡県袋井市鷺巣字西ノ谷15番地1 バイオ
ニア株式会社静岡工場内

(72) 発明者 菊池 望

静岡県袋井市鷺巣字西ノ谷15番地1 バイオ
ニア株式会社静岡工場内

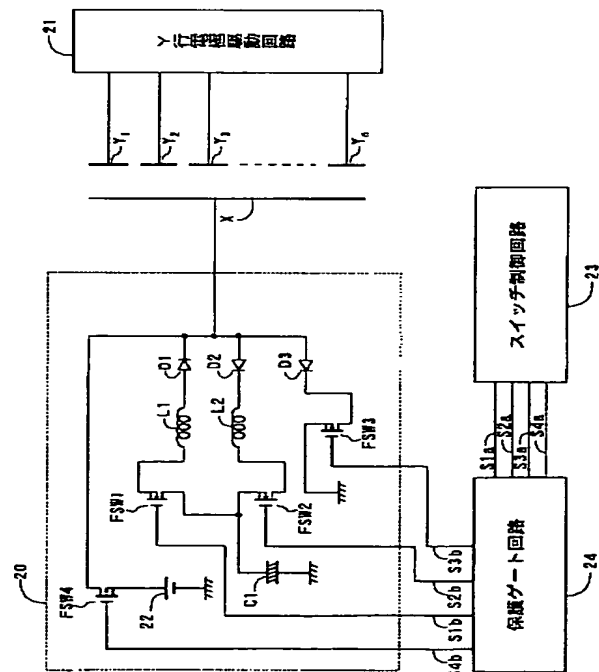
(74) 代理人 弁理士 藤村 元彦

(54) 【発明の名称】 プラズマディスプレイパネルの駆動装置

(57) 【要約】

【課題】 電荷回収型駆動パルス発生回路を有するプラズマディスプレイにおいて、駆動回路中のスイッチ制御回路の誤動作による前記電荷回収型駆動パルス発生回路の短絡を防止する。

【解決手段】 電荷回収型駆動パルス発生回路とスイッチ制御回路の間に保護ゲート回路を設けることにより、誤動作による想定しないスイッチ制御回路からのスイッチ制御信号をオフ信号にせしめる。



【特許請求の範囲】

【請求項1】 プラズマディスプレイパネルの行電極の端子と所定電位が印加されている端子間および該行電極端子と基準電位が印加されている端子間に接続されたスイッチで構成された駆動スイッチ手段と、前記スイッチを択一的に所定タイミングでオンとするためのスイッチオン制御パルスが発生するスイッチ制御手段とを備え、前記行電極に対して駆動スイッチ手段により所定の駆動パルスを供給するようにしたプラズマディスプレイパネルの駆動装置であって、前記スイッチ制御手段から前記駆動スイッチ手段の1のスイッチに対して該1のスイッチをオンせしめるスイッチオン制御信号が発生している期間に他のスイッチをオンせしめるようなスイッチオン制御信号が発生したとき、スイッチオン制御信号のスイッチへの供給を全て阻止する保護手段を備えたことを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項2】 前記保護手段が、前記スイッチ制御手段から前記駆動スイッチ手段の1のスイッチに対して該1のスイッチをオンせしめるスイッチオン制御信号が発生している期間に他のスイッチをオンせしめるようなスイッチオン制御信号が発生したとき、前記他のスイッチをオンせしめるスイッチオン制御信号の前記他のスイッチへの供給を阻止する手段であることを特徴とするプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はプラズマディスプレイパネルの駆動装置に関する。

【0002】

【従来の技術】 薄型化及び大画面化が比較的容易な表示パネルとして、プラズマディスプレイパネル（以下、PDPと称する）が知られており、製造コスト及び消費電力の削減が要望されている。図1は、交流放電型PDPの概略構成図であり、PDP10は、行電極 X_1 、 X_2 、 X_3 、 \dots 、 X_n からなるX行電極群とそれと対をなす行電極 Y_1 、 Y_2 、 Y_3 、 \dots 、 Y_n からなるY行電極群と、それらX行電極群及びY行電極群と直交する列電極 D_1 、 D_2 、 D_3 、 \dots 、 D_m からなる列電極群から構成されている。また、各電極の交点において放電ガスが充填された放電セル9が形成されており、上記電極に印加されるパルスにより所望の表示発光が行われる。

【0003】 このようなPDP10を駆動するには、まずX行電極に走査パルスを印加し、列電極に同じタイミングでデータパルスを印加して書き込み放電を行わせる。これにより、X-Y行電極対間に交互に印加される維持パルスによって維持放電が可能となり、発光が持続される。維持放電はパネル電極間静電容量部を充放電させることで行われており、放電セルの発光の大部分がこ

の維持放電によって行われている。それ故、PDP全体の消費電力は維持放電期間に費やされる電力に大きく依存している。特に大型パネルの駆動においては、パネル電極間静電容量が増加し、また駆動電源も大きくなってしまいますので、PDP装置全体の消費電力が増大してしまう。

【0004】 そこで、維持放電期間中の放電によって損失した無効電力を回収し、充電の際に再利用することで維持放電に費やす電力を削減する電荷回収型駆動回路が提案されている。図2において、X行電極（ $X_1 \sim X_n$ を共に接続し共通電極としている）は電荷回収型維持パルス発生回路20に接続されている。Y行電極駆動回路21は、駆動パルス発生回路として電荷回収型維持パルス発生回路20、及び、図示しない走査パルス・消去パルス・リセットパルス発生回路を含んでいる。

【0005】 図3は電荷回収型維持パルス発生回路20によって発生される維持パルスのタイミングチャートであり、以下に維持放電期間における維持パルスの生成過程を、図2及び図3を参照して説明する。まず、期間 t_1 において、SW1、SW2、及びSW4が共にオフ、SW3がオンとなり、行電極XはGNDレベルにクランプされる。

【0006】 次に、SW3をオフ、SW1をオンすると、コイルL1及びダイオードD1を通してPDPの放電セルに電荷回収コンデンサC1の充電電流が供給される（ t_2 ）、続けて、SW1をオフ、SW4をオンすると、各行電極Xは維持パルス電圧 $2V_D$ （ V_D ）にクランプされる（ t_3 ）。次に、SW4をオフ、SW2をオンすると、PDPの放電セルからの放電電流がコイルL2及びダイオードD2を通してコンデンサC1に充電される（ t_4 ）、続けてSW2をオフ、SW3をオンすると、行電極XはGNDレベルにクランプされる（ t_5 ）。

【0007】 以上の動作を繰り返すことにより、各行電極に連続した維持パルスを供給することができる。Y行電極においても同様な動作により維持パルスが生成されるが、生成タイミングはX行電極と半周期ずれており、これにより、X-Y行電極対間の面放電を可能としている。

【0008】

【発明が解決しようとする課題】 上記従来の電荷回収型維持パルス発生回路において、例えば行電極が維持パルス電圧 V_D にクランプされている期間（ t_3 ）、スイッチを制御するスイッチ制御回路に誤動作や外部からのノイズなどが生じ、行電極をGNDレベルにクランプさせるスイッチ（SW3）をオンにするようなスイッチ制御信号が発生すると、電荷回収型維持パルス発生回路が短絡状態になってしまうという欠点があった。

【0009】

【課題を解決するための手段】 本発明によれば、電荷

回収型維持パルス発生回路における各スイッチを制御するスイッチ制御回路と電荷回収型維持パルス発生回路との間に、スイッチ制御回路からの各種スイッチ制御信号を所望のスイッチ信号のみとなるように一義的に制御する保護ゲート回路を設けていることを特徴としている。

【0010】

【発明の実施の形態】 以下、図面を参照し、本発明の好適な実施例に基づいて本発明を詳細に説明する。図4において、電荷回収型維持パルス発生回路20は図2の回路と実質的に同じ回路構成を有するが、図4では、スイッチ部を形成するSW1～SW4をFETスイッチング素子FSW1～FSW4に対応して設けている。スイッチ制御回路23からの各スイッチ制御信号線(S1a～S4a)は、保護ゲート回路24に接続され、保護ゲート回路24からのスイッチ制御信号線(S1b～S4b)は、各FETスイッチング素子(FSW1～FSW4)のゲート端子に接続されている。ここで、S1a～S4a、S1b～S4b及びFSW1～FSW4の各数字は互に対応しており、例えば、スイッチ制御回路23からFETスイッチング素子FSW1への信号は、信号線S1a、S1bを通して供給される。

【0011】図5は保護ゲート回路の第1の実施例を示す論理回路図であり、図3のタイミングチャートを参照して以下にこの回路の動作を説明する。まず、誤動作及び外部からのノイズのない正常なスイッチ制御信号が保護ゲート回路24に受信された場合を考える。ここで、図3のSW1～SW4をFSW1～FSW4と読み替えるものとする。図3の期間 t_1 において、FSW1、FSW2、FSW4が共にオフ、FSW3がオンとなるようなスイッチ制御信号に対して、保護ゲート回路への信号入力線(S1a～S4a)上の信号レベルは、それぞれ、“L”、“L”、“H”、“L”となり、ANDゲート30の入力は、S1aからの信号“L”とインバータ34～36を介したS2a～S4aからの信号

“H”、“L”、“H”となり、ANDゲート30の出力は“L”となって、FETスイッチング素子FSW1のゲートにオフ信号が入力される。ANDゲート31の入力は、S2aからの信号“L”とインバータ37～39を介したS1a、S3a、S4aからの信号“H”、“L”、“H”となり、ANDゲート31の出力は“L”となって、FETスイッチング素子FSW2のゲートにオフ信号が入力される。ANDゲート32においては、S3aからの信号及びインバータ40～42を介したS1a、S2a、S4aからの信号が共に“H”となり、ANDゲート32の出力は“H”となって、FETスイッチング素子FSW3のゲートにオン信号が入力される。ANDゲート33の入力は、S4aからの信号“L”とインバータ43～45を介したS1a～S3aからの信号が“H”、“H”、“L”となり、ANDゲート33の出力は“L”となって、FETスイッチング

素子FSW4のゲートにオフ信号が入力される。以上、期間 t_1 における保護ゲート回路24の出力S1b～S4bは、それぞれ“L”、“L”、“H”、“L”となり、スイッチ制御回路23からのスイッチ制御信号S1a～S4aの“L”、“L”、“H”、“L”と同じである。その他の期間 t_2 ～ t_5 についても、正常なスイッチ制御信号が受信された場合においては、上記と同様の動作により、スイッチ制御回路からの信号と同じ信号が各FETスイッチング素子に供給される。

【0012】次に、スイッチ制御回路の誤動作または外部からのノイズなどにより異常なスイッチ制御信号が保護ゲート回路24に受信された場合を考える。例えば、図3の期間 t_3 におけるS1a～S4aのスイッチ制御信号“L”、“L”、“L”、“H”が、“L”、“L”、“H”、“H”となった時、つまり、この期間において、本来“L”レベルであるはずのS3aの信号が“H”レベルとなって保護ゲート回路24に入力された場合、ANDゲート30の入力は、S1aからの信号

“L”とインバータ34～36を介したS2a～S4aからの信号“H”、“L”、“L”となり、ANDゲート30の出力は“L”となって、FETスイッチング素子FSW1のゲートにオフ信号が入力される。ANDゲート31の入力は、S2aからの信号“L”とインバータ37～39を介したS1a、S3a、S4aからの信号“H”、“L”、“L”となり、ANDゲート31の出力は“L”となって、FETスイッチング素子FSW2のゲートにオフ信号が入力される。ANDゲート32の入力は、S3aからの信号“H”とインバータ40～42を介したS1a、S2a、S4aからの信号

“H”、“H”、“L”となり、ANDゲート32の出力は“L”となって、FETスイッチング素子FSW3のゲートにオフ信号が入力される。ANDゲート33の入力は、S4aからの信号“H”とインバータ43～45を介したS1a～S3aからの信号“H”、“H”、“L”となり、ANDゲート33の出力は“L”となって、FETスイッチング素子FSW4のゲートにオフ信号が入力される。以上、期間 t_3 における保護ゲート回路24の出力S1b～S4bは、共に“L”となり、スイッチ制御回路23からのS3a及びS4aのスイッチ制御信号“H”が共に“L”となって、FETスイッチング素子FSW3及びFSW4のゲートに入力される。つまり、図5の論理回路は、スイッチ制御回路から、オンすべきスイッチ以外のスイッチにオン制御信号が送信された場合、全てのスイッチへのスイッチ制御信号を強制的にオフせしめている。これにより、図3のタイミングチャートにおいて想定していない複数のスイッチの同時オンという状態を、スイッチ全てをオフにすることで回避できる。

【0013】次に保護ゲート回路の第2の実施例として図6に示す論理回路を第1の実施例と同様に説明する。

まず、誤動作及び外部からのノイズのない正常なスイッチ制御信号が保護ゲート回路24に受信された場合を考える。図3の期間 t_1 において、FSW1、FSW2、FSW4が共にオフ、FSW3がオンとなるようなスイッチ制御信号に対して、保護ゲート回路への信号入力線(S1a~S4a)上の信号レベルは、それぞれ、“L”、“L”、“H”、“L”となる。S1a、S2a、S4aは共にS1b、S2b、S4bに接続され、スイッチ制御回路からのスイッチ制御信号が直接にFETスイッチング素子FSW1、FSW2、FSW4の各ゲートに入力される。FETスイッチング素子FSW3への入力、ANDゲート50の出力から供給される。ANDゲート50において、S3aからの信号“H”、及びインバータ51~53を介したS1a、S2a、S4aからの信号が共に“H”の入力となり、出力は“H”となって、FETスイッチング素子FSW3のゲートにオン信号が入力される。よって、期間 t_1 における保護ゲート回路24の出力S1b~S4bは、それぞれ“L”、“L”、“H”、“L”となり、スイッチ制御回路23からのスイッチ制御信号S1a~S4aの“L”、“L”、“H”、“L”と同じである。その他の期間 t_2 ~ t_5 についても、正常なスイッチ制御信号が受信された場合においては、上記と同様の動作により、スイッチ制御回路からの信号と同じ信号が各FETスイッチング素子に供給される。

【0014】次に、特に回路の短絡を防止する目的において、FSW3がオンされるべきでない期間にスイッチ制御回路の誤動作または外部からのノイズなどにより、FSW3をオンせしめるような異常なスイッチ制御信号が保護ゲート回路24に受信された場合を考える。第1の実施例と同様に、例えば、図3の期間 t_3 におけるS1a~S4aのスイッチ制御信号“L”、“L”、“L”、“H”が、“L”、“L”、“H”、“H”となった時、ANDゲート50の入力は、S3aからの信号“H”とインバータ51~53を介したS1a、S2a、S4aからの信号“H”、“H”、“L”によって、ANDゲート50の出力は“L”となり、FETスイッチング素子FSW3のゲートにオフ信号が入力される。よって、期間 t_3 における保護ゲート回路24の出力S1b~S4bは、それぞれ“L”、“L”、“L”、“H”となり、スイッチ制御回路23からのS3aの誤動作スイッチ制御信号“H”が“L”となって、FETスイッチング素子FSW3のゲートに入力される。つまり、図6の論理回路は、維持パルス発生回路にとって致命的な動作を与える可能性のあるFETスイッチング素子FSW3にのみ注目して、FSW3がオンされるべき期間以外の期間におけるFSW3のゲート

へのオン信号を禁止している。これにより、維持パルス発生回路の想定していない短絡状態を回避でき、なおかつ、維持パルス発生回路へ正常なスイッチ制御信号を供給できる。

【0015】以上の第1及び第2の実施例に示した論理回路は、例えばORゲートを用いた等価回路を用いてもよい。また、論理回路に代えてマイコン等のプログラムによりスイッチ制御回路からの制御信号を監視し、FETスイッチング素子へ正常なスイッチ信号を供給してもよい。

【0016】

【発明の効果】 以上説明したように、電荷回収型維持パルス発生回路と該回路中のスイッチング素子にスイッチ制御信号を与えるスイッチ制御回路との間に保護ゲート回路を設けることにより、スイッチ制御回路の誤動作による誤ったスイッチ制御信号のスイッチング素子への入力を禁止し、特に電荷回収型維持パルス発生回路の望まないタイミングでの短絡を防止できる。

【図面の簡単な説明】

【図1】 プラズマディスプレイパネルの電極構成を示す図である。

【図2】 従来の電荷回収型維持パルス発生回路を示す図である。

【図3】 電荷回収型維持パルス発生器における維持パルス生成のタイミングチャートを示す図である。

【図4】 本発明の全体構成図を示す図である。

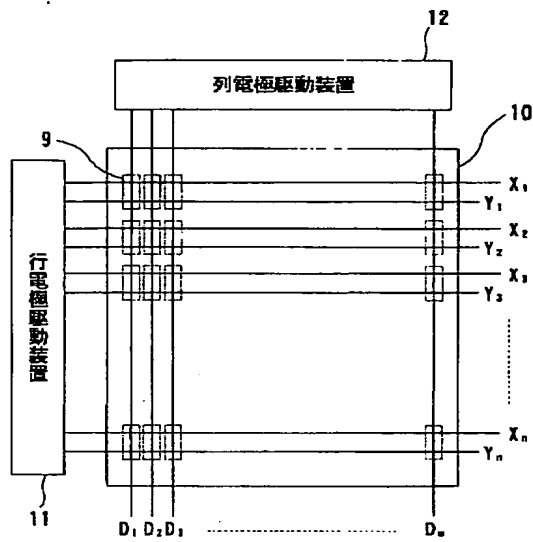
【図5】 本発明における保護ゲート回路の第1の実施例を示す論理回路図である。

【図6】 本発明における保護ゲート回路の第2の実施例を示す論理回路図である。

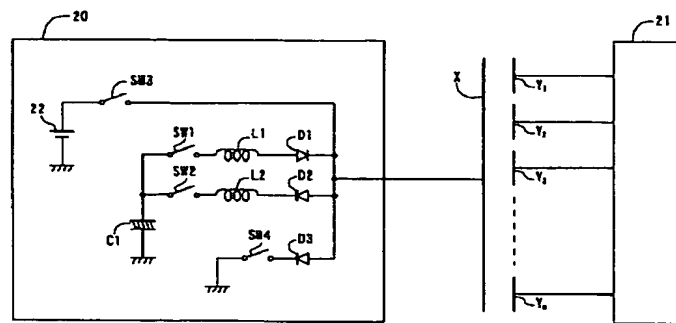
【符号の説明】

- 9 放電セル
- 10 プラズマディスプレイパネル
- 20 電荷回収型維持パルス発生回路
- 21 Y行電極駆動回路
- 22 維持パルス電圧
- 23 スwitch制御回路
- 24 保護ゲート回路
- 30~33、50 ANDゲート
- 34~45、51~53 インバータ
- SW1~SW4 スwitch
- FSW1~FSW4 FETスイッチング素子
- L1、L2 コイル
- D1、D2 ダイオード
- C1 電荷回収コンデンサ
- S1a~S4a、S1b~S4b スwitch制御信号線

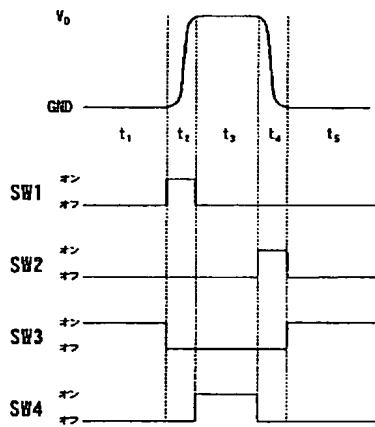
【図1】



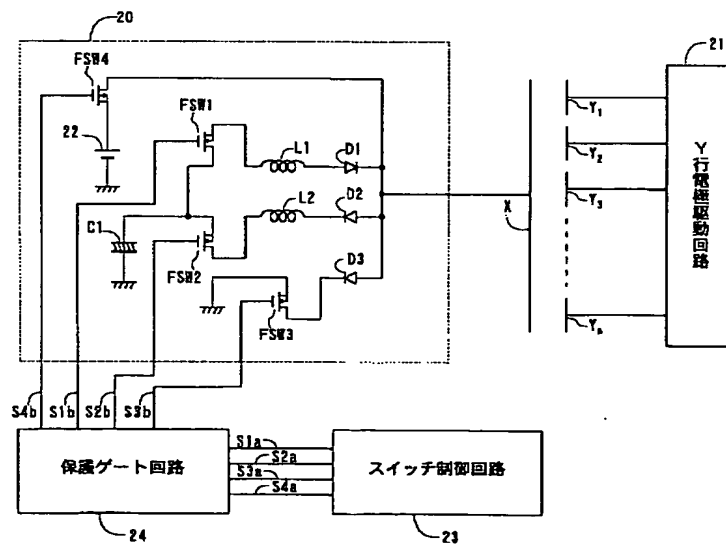
【図2】



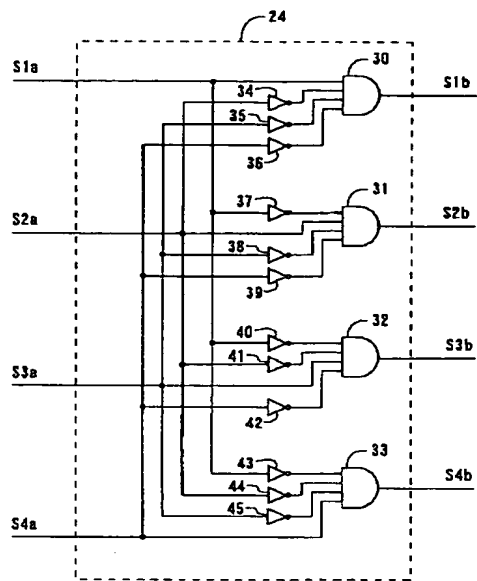
【図3】



【図4】



【図5】



【図6】

